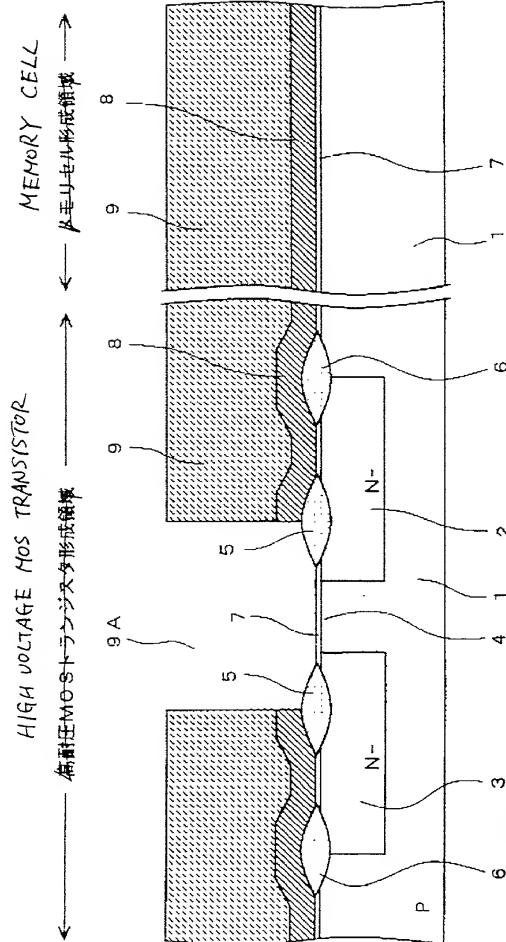


Fig. 1

[図1]



1: P型シリコン基板 2: n-型ソース層 3: n-型ドレイン層 4: チャネル領域 5, 6: ロコエス
 7: ゲート絶縁層 8: ポリシリコン層 9: フォトリソグロウ 9A: 開口部

Fig. 2

図2

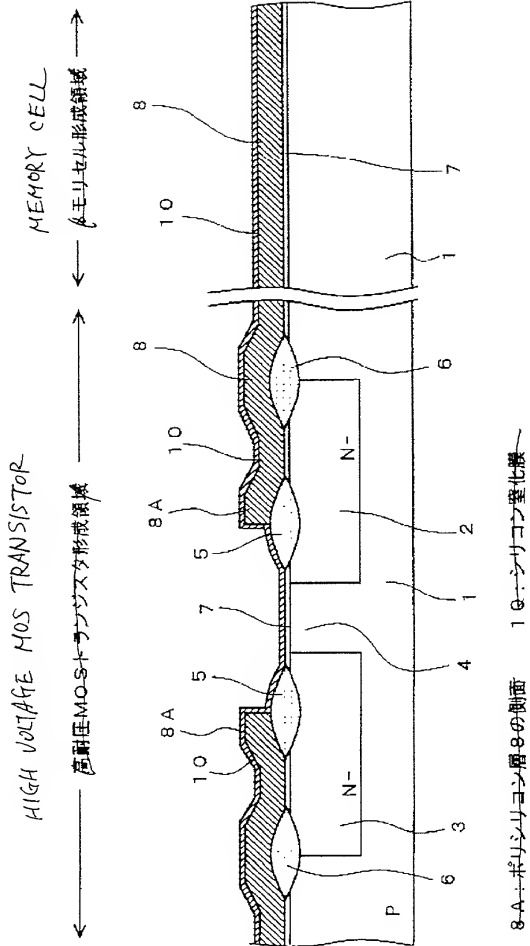
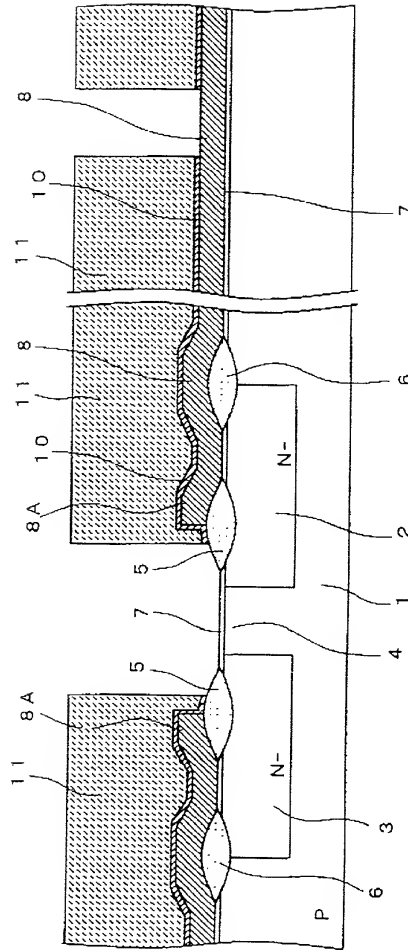


Fig. 3

【図3】

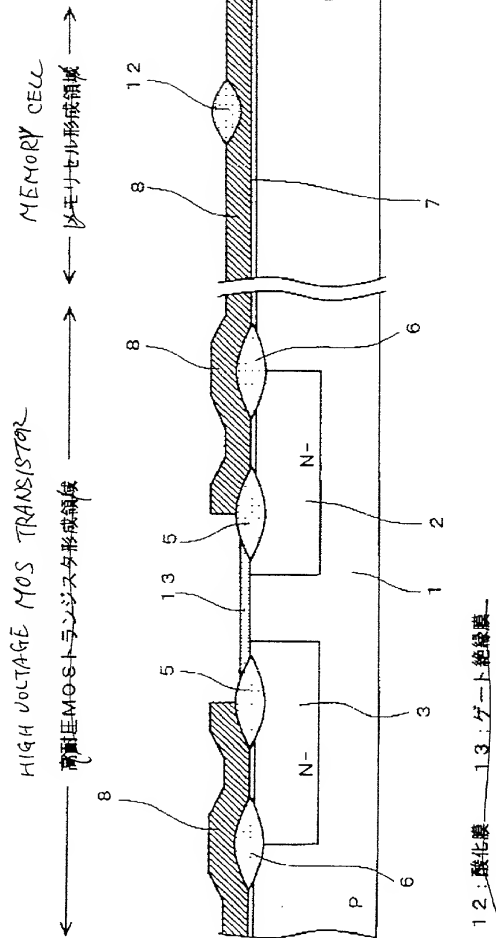
HIGH VOLTAGE MOS TRANSISTOR ← → MEMORY CELL
高電圧MOSトランジスタ形成領域 ← → メモリセル形成領域 →



フォトマスク

Fig. 4

【図4】



1 2 : 酸化膜 1 3 : ゲート絶縁膜

Fig. 5

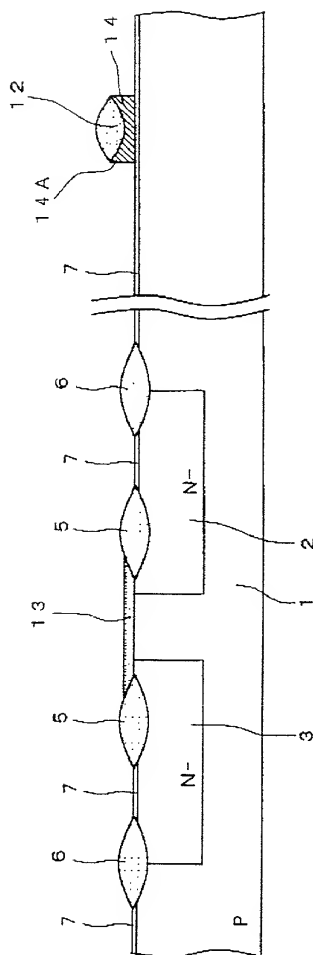
-52-

HIGH VOLTAGE MOS TRANSISTOR ← 高電圧MOSトランジスタ形成領域 →

MEMORY CELL ← メモリセル形成領域 →

高耐圧MOSトランジスタ形成領域

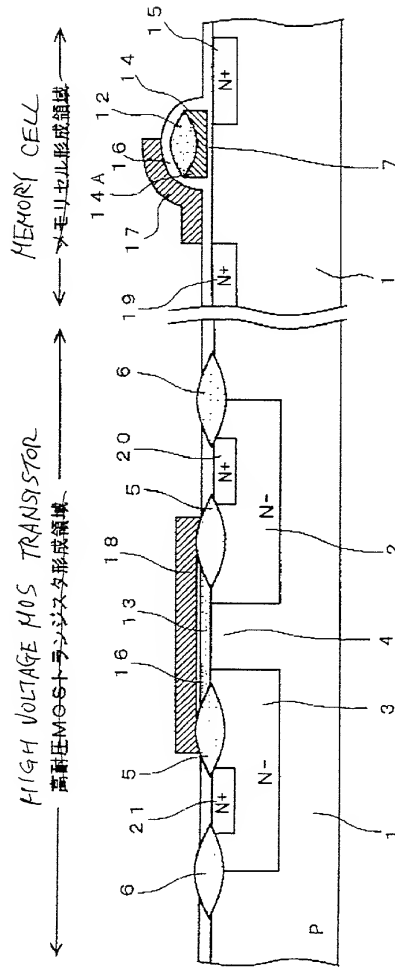
→ 王山中儿形成领域



~~14:浮遊ゲート 14A:浮遊ゲート14の角部~~

Fig. 6

[図6]



15: n+型ソース拡散層
 16: トンネル絶縁膜
 17: 制御ゲート
 18: ゲート電極
 19: n+型ドレイン拡散層
 20: n+型ソース拡散層
 21: n+型ドレイン拡散層

【七】

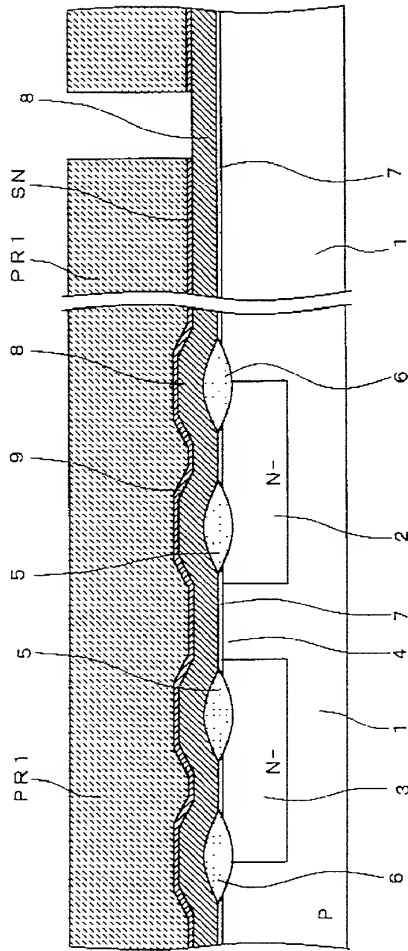
Fig. 7

HIGH VOLTAGE MOS TRANSISTOR

MEMORY CELL

高耐圧MOSトランジスタ形成領域

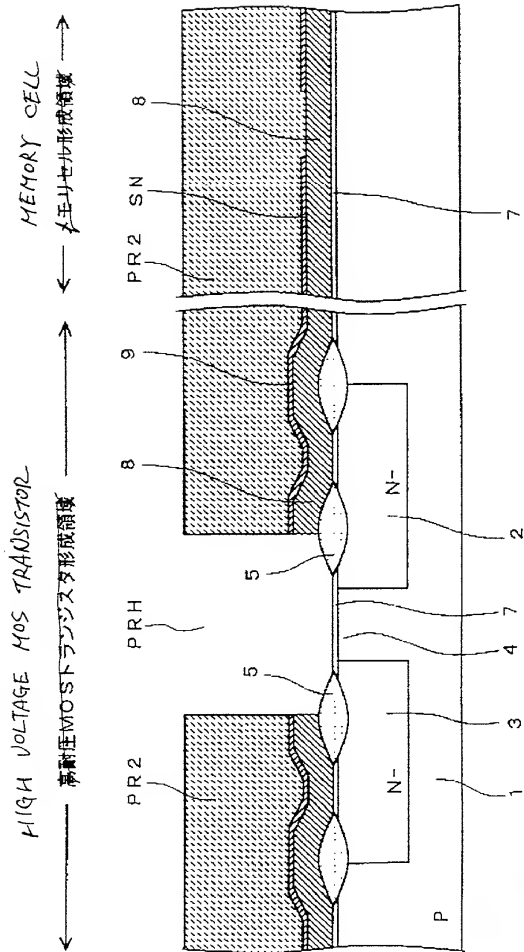
→ 六七七八九形成領域



- 1: P型シリコン基板 2: P-型ソープ層 3: n-型ドレイン層 4: チャネル領域 5, 6: ロソース膜
7: ゲート絶縁膜 8: ポリシリコン層 9N: シリコン窒化膜 PR: フォトリソストラ

Fig. 8

図8



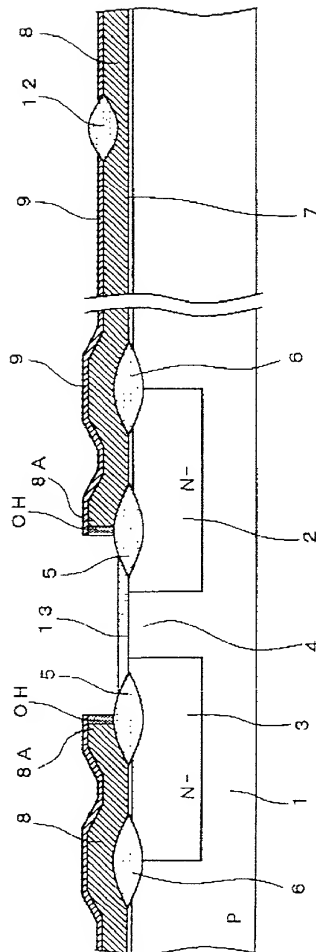
PR2: プロトタイプ構造 PRH: 開口部

Fig. 9

HIGH VOLTAGE MOS TRANSISTOR

MEMORY CELL

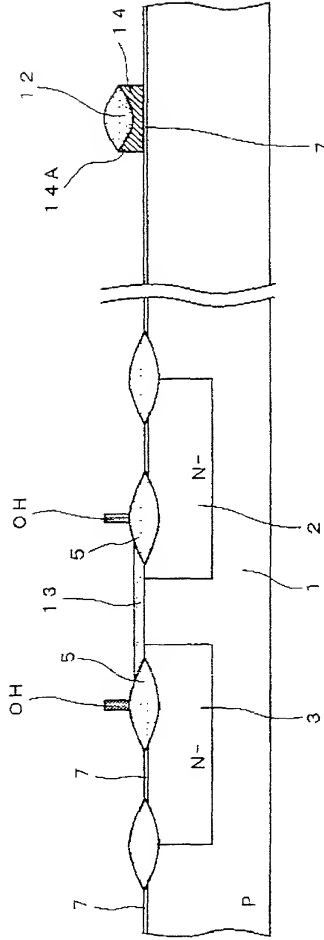
高耐圧MOSトランジスタ形成領域 ← → メモリセル形成領域 →



8A:ポリシリコン層 8の側面 12:酸化膜 13:ゲート絶縁膜 OH:酸化膜片

Fig. 10

HIGH VOLTAGE MOS TRANSISTOR ← HIGH VOLTAGE MOS TRANSISTOR FORMING REGION → MEMORY CELL ← MEMORY CELL FORMING REGION →



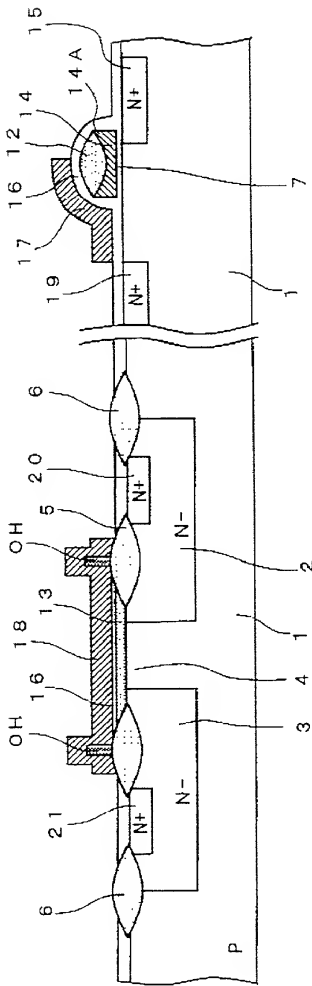
14:浮遊ゲート 14A:浮遊ゲート14の角部

【図10】

Fig. 11

図11

HIGH VOLTAGE MOS TRANSISTOR ← → MEMORY CELL
高電圧MOSトランジスタ形成領域 メモリセル形成領域



15: n+型ソース拡散層 16: トンネル絶縁膜 17: 制御ゲート 18: ゲート電極
19: n+型ドレイン拡散層 20: n+型ソース拡散層 21: n+型ドレイン拡散層

Fig. 12
PRIOR ART

